

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05252020 A**

(43) Date of publication of application: **28.09.93**

(51) Int. Cl. **H03K 19/0175**
H03F 3/45
H03K 17/14

(21) Application number: **04049155**

(22) Date of filing: **06.03.92**

(71) Applicant: **FUJITSU LTD**

(72) Inventor: **YAMAMOTO SATOSHI**
NARA OSAMU

(54) **CMOS DRIVE CIRCUIT**

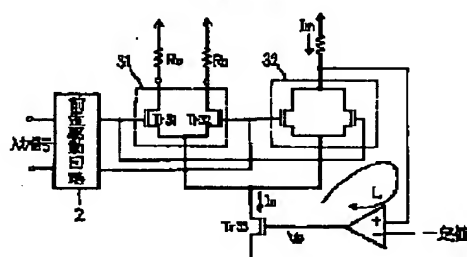
COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

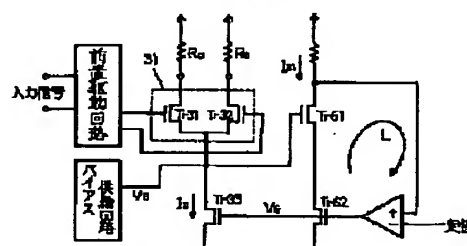
PURPOSE: To keep an output current stable against a power supply fluctuation and a temperature change in a load drive circuit employing a differential pair of complementary MOSFETs.

CONSTITUTION: The drive circuit is provided with two sets of differential pairs 31, 32 supplied from the same current source transistor (TR) 33 and whose gates receive the same input, the one differential pair 31 drives a load R_o and the other differential pair 32 supplies a monitor current I_m proportional to the load drive current. Then the gate of the current source TR 33 is controlled via a negative feedback loop L so that the monitor current I_m is constant independently of DC level fluctuation. Furthermore, the drive circuit is also provided with a monitor circuit 6 controlled by the same gate voltage V_G as that of the current source TR 33 and supplying a current proportional to the output current and the negative feedback loop L is used to control the gate voltage V_G so that the current I_m of the monitor circuit is made constant.

(a) 第一発明



(b) 第二発明



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-252020

(43)公開日 平成5年(1993)9月28日

(51)IntCl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 K 19/0175

H 0 3 F 3/45

H 0 3 K 17/14

B 7436-5 J

9184-5 J

8941-5 J

H 0 3 K 19/ 00

1 0 1 F

審査請求 未請求 請求項の数 2 (全 6 頁)

(21)出願番号 特願平4-49155

(22)出願日 平成4年(1992)3月6日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 山本 聡

栃木県小山市城東3丁目28番1号 富士通

デジタル・テクノロジー株式会社内

(72)発明者 奈良 修

栃木県小山市城東3丁目28番1号 富士通

デジタル・テクノロジー株式会社内

(74)代理人 弁理士 井桁 貞一

(54)【発明の名称】 CMOS駆動回路

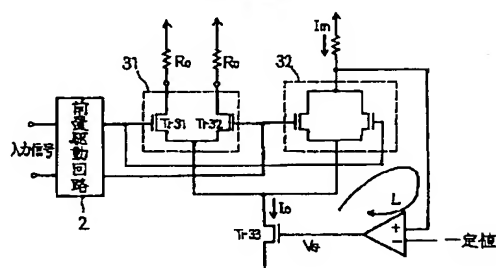
(57)【要約】

【目的】 相補型のMOSFETトランジスタの差動対を用いた負荷駆動回路に関し、電源変動や温度変化に対して出力電流値を安定に保つことを目的とする。

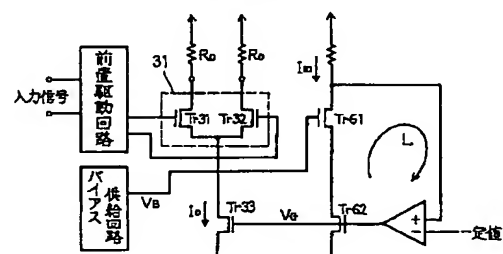
【構成】 同一電流源トランジスタTr33から電流供給を受け、ゲートに同一入力を受ける2組の差動対31,32を設け、一方の差動対31で負荷Roを駆動し、他方の差動対32で負荷駆動電流に比例したモニタ電流Imを流す。そして該モニタ電流Imが入力直流電位変動に無関係に一定となるように負帰還ループLを介して電流源トランジスタ33のゲートを制御するようにした構成であり、また、電流源トランジスタ33と同一ゲート電圧Vcで制御され、出力電流比例する電流を流すモニタ回路6を設け、該モニタ回路の電流Imを一定とするように負帰還ループLでゲート電圧Vcを制御するようにした構成である。

本発明のCMOS駆動回路の原理図

(a) 第一発明



(b) 第二発明



【特許請求の範囲】

【請求項 1】 ドレインが負荷 (R_o) を介して電源に接続されゲートに前置駆動回路 (2) からの入力信号を受けソースが共通接続された一対のトランジスタ (Tr_{31} , Tr_{32}) からなる第一の差動対 (31) と、前記共通接続されたソース側に接続された電流源トランジスタ (Tr_{33}) とを有する CMOS 駆動回路において、

前記第一差動対 (31) と同一ゲート電圧で制御される第二の差動対 (32) を、前記電流源トランジスタ (Tr_{33}) の負荷として前記第一の差動対 (31) と並列に接続して、該第一の差動対 (31) に流れる電流に比例したモニタ電流 (I_m) が第二の差動対 (32) に流れるようにし、該モニタ電流 (I_m) を検出してその値が一定となるように前記電流源トランジスタ (Tr_{33}) のゲート電圧を制御する負帰還ループ (L) を設けたことを特徴とする CMOS 駆動回路。

【請求項 2】 ドレインが負荷 (R_o) を介して電源に接続されゲートに前置駆動回路 (2) からの入力信号を受けソースが共通接続された一対のトランジスタ (Tr_{31} , Tr_{32}) からなる差動対 (31) と、前記共通接続されたソース側に接続された電流源トランジスタ (Tr_{33}) とを有する CMOS 駆動回路において、

前置駆動回路と同じように外乱を受けるバイアス供給回路 (7) と、
該バイアス供給回路 (7) が出力するバイアス電圧 (V_B) でゲートが制御されるモニタ用トランジスタ (Tr_{61}) と、該モニタ用トランジスタ (Tr_{61}) を負荷とし前記電流源トランジスタ (Tr_{33}) と同一のゲート電圧 (V_G) が印加されるモニタ電流源トランジスタ (Tr_{62}) とからなるモニタ回路 (6) とを設け、
該モニタ回路 (6) のモニタ電流 I_m が一定となるように負帰還ループ (L) を介して前記ゲート電圧 (V_G) を制御するようにしたことを特徴とする CMOS 駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、相補型の MOSFET トランジスタの差動対を用いた負荷駆動回路に関する。

【0002】 差動入力信号を増幅して、電流スイッチを駆動し、該電流スイッチの出力に接続された低インピーダンス負荷に入力信号に応じた一定電流を出力する CMOS による負荷駆動回路は IC 化されて多用されている。

【0003】

【従来の技術】 図 4 は、負荷を電流駆動する従来の CMOS 駆動回路である。なお図では、“H” “L” の二つの状態をとる入力信号 V_{in} とその反転信号とが入力し、負荷抵抗 R_o を差動出力でスイッチング駆動するゲート回路の例を示す。

【0004】 図において、1 は入力バッファ回路、2 は前置駆動回路、3 は駆動回路である。入力バッファ回路 1 は、P チャンネル MOSFET トランジスタ (以下こ

のトランジスタ記号は P チャンネル MOSFET を示す) Tr_{11} と N チャンネル MOSFET トランジスタ (以下このトランジスタ記号は P チャンネル MOSFET を示す) Tr_{13} 、および Tr_{12} , Tr_{14} をカスケード接続したインバータ回路からなり、入力信号 V_{in} とその反転信号として入力される外部からの差動入力電圧を “H” “L” レベルの入力電圧に調整して次段に出力する。前置駆動回路 2 は、差動対トランジスタ Tr_{21} , Tr_{22} 、電流源トランジスタ Tr_{23} 、負荷トランジスタ Tr_{24} , Tr_{25} 、レベル調整用トランジスタ Tr_{28} からなり、入力振幅と直流動作レベル (線形動作時) を調整して次段の駆動回路に出力する。なお、 Tr_{29} は Tr_{23} と共にカレントミラー回路を構成し、定電流 I_s を差動対トランジスタ Tr_{21} , Tr_{22} に供給する。

【0005】 駆動回路 3 は、差動対トランジスタ Tr_{31} , Tr_{32} 、電流源トランジスタ Tr_{33} とからなり、差動対トランジスタ Tr_{31} , Tr_{32} は、ゲートに入力される前置駆動回路からの駆動電圧 V_{s1} , V_{s2} に応じて、電流源トランジスタ Tr_{33} から供給される定電流 I_o が Tr_{31} , Tr_{32} の何れか一方に流れるように切替え (スイッチング動作の場合) るか、または所定の差動入力に対応して Tr_{31} , Tr_{32} に分流させる。そして、負荷抵抗 R_o に出力電流を出力する。

【0006】 Tr_{52} は Tr_{33} とでカレントミラーを構成し、定電流源 I_{ref} に等しい定電流 I_o を駆動回路 3 の差動対トランジスタに供給する。(この回路では、両トランジスタのゲート幅が等しいものとする。)

【0007】

【発明が解決しようとする課題】 ところで、CMOS トランジスタは、その飽和領域で用いる場合に、ゲート電圧が一定でもドレイン電流のドレイン電圧依存性がバイポーラトランジスタに比べて大きい。従って、図 4 の駆動回路において、 Tr_{52} , Tr_{33} よりなる負荷駆動回路のカレントミラーにおいて、両トランジスタのゲート・ソース電圧を同一に保っても、ドレイン電位が同一でないと等しい電流が流れない。即ち、差動対側の電流源トランジスタ Tr_{33} のドレイン電位 V_2 が変動して、参照電流側のトランジスタ Tr_{52} のドレイン電位 V_{ref} と同一で無くなると、出力電流 (即ち、差動対への供給電流) I_o が変動してしまう。ところが、上記構成の回路では、電流源の負荷となる差動対を駆動する前置駆動回路の出力同相電圧 (スイッチングの場合には中心レベル電圧) は、素子の温度変化や電源電圧の変動によって変化する。これによって差動対の動作点が変わるので、差動対のソース共通接続点の電位である Tr_{33} のドレイン電圧 V_o が変動する。このため、電流源トランジスタのゲート電圧が参照電圧 V_{ref} に規定されて一定値を保っても、電流源トランジスタ Tr_{33} の出力電流が変動し、被駆動負荷 R_o に出力される電流が変動する。この出力電流の変動はスイッチング回路として用いる場合には、“H” “L” 間のレベル振

幅の変動となり、また線形動作させた場合には、出力動作点の変動として現れ、負荷を駆動する回路としての安定度が悪いという問題があった。

【0008】電源電圧に限界があるため、バイアスの関係上、トランジスタをカスケード接続して電流値を安定にするウィルソンカレントミラー回路等が使用できない無い場合には特に問題になる。

【0009】本発明は上記問題に鑑み創出されたもので、電源変動や温度変化に対して出力電流値が安定なCMOS駆動回路を提供することを目的とする。

【0010】

【課題を解決するための手段】図1は、本発明のCMOS駆動回路の原理図である。上記問題点を解決するため、本発明の第一発明のCMOS駆動回路は、図1の(a)に示す如く、ドレインが負荷 R_o を介して電源に接続されゲートに前置駆動回路2からの入力信号を受けソースが共通接続された一対のトランジスタ Tr_{31} 、 Tr_{32} からなる第一の差動対31と、前記共通接続されたソース側に接続された電流源トランジスタ33とを有するCMOS駆動回路において、前記第一差動対31と同一ゲート電圧で制御される第二の差動対32を、前記電流源トランジスタ Tr_{33} の負荷として前記第一の差動対31と並列に接続して、該第一の差動対に流れる電流に比例したモニタ電流 I_m が第二の差動対32に流れるようにし、該モニタ電流 I_m を検出して該モニタ電流 I_m が一定となるように前記電流源トランジスタ Tr_{33} のゲート電圧を制御する負帰還ループLを設けた構成であり、また、第二発明は図1の

(b)に示す如く、ドレインが負荷 R_o を介して電源に接続されゲートに前置駆動回路2からの入力信号を受けソースが共通接続された一対のトランジスタ Tr_{31} 、 Tr_{32} からなる第一の差動対31と、前記共通接続されたソース側に接続された電流源トランジスタ33とを有するCMOS駆動回路において、前置駆動回路と同じように外乱を受けるバイアス供給回路7を設けて、該バイアス供給回路7が出力するバイアス電圧 V_B でゲートが制御されるモニタ用トランジスタ Tr_{61} と、該モニタ用トランジスタ Tr_{61} を負荷とし前記電流源トランジスタ Tr_{33} と同一のゲート電圧 V_G が印加されるモニタ電流源トランジスタ Tr_{62} とからなるモニタ回路6とを設け、該モニタ回路6のモニタ電流 I_m が一定となるように負帰還ループLを介して前記ゲート電圧 V_G を制御するようにした構成である。

【0011】

【作用】第一発明では、ゲートに負荷駆動用差動対トランジスタのゲートと同じ電圧が印加される第二の差動対によって、電流源トランジスタ33の出力の1部が分割して取り出されるので、温度変化や電源変動等により電流源トランジスタの出力電圧が変動しても、分割して取り出した電流(モニタ電流)の値が一定となるように電流源トランジスタのゲートを制御することにより電流源トランジスタの全体の出力電流を一定とすることができ

る。従って、負荷に流れる電流を一定にすることができる。

【0012】また、第二発明においては、前置駆動回路と同じ熱的影響を受ける同一構成のバイアス供給回路7からのバイアス電圧 V_B がモニタ用トランジスタ Tr_{61} のゲートに入力し、モニタ電流源トランジスタ Tr_{62} のゲートには負荷駆動回路の電流源トランジスタ Tr_{33} と同一ゲート電圧が加わるので、該モニタ電流源トランジスタ62のドレイン電圧は温度や電源電圧変動に対して、負荷駆動用の電流源トランジスタ Tr_{33} のドレイン電圧と同様に変動する。従ってモニタ電流源トランジスタ Tr_{62} が流す電流、即ちモニタ回路6に流れるモニタ電流 I_m は駆動回路の電流源トランジスタ Tr_{33} が流す電流に I_o に正確に比例する。そこで、このモニタ電流 I_m が一定になるようにモニタ電流源トランジスタ Tr_{62} のゲートに負帰還をかけることにより同一ゲート電圧 V_G で制御される駆動回路用電流源トランジスタ Tr_{33} の出力電流 I_o を一定にすることができる。

【0013】

【実施例】以下添付図により本発明の実施例を説明する。図2は第一発明の実施例の回路図、図3は第二発明の実施例の回路図である。なお全図を通じて同一符号は同一対象物を表す。

【0014】図1において、1は入力バッファ回路、2は前置駆動回路、3は駆動回路、4は演算増幅器、5は参照電流回路である。入力バッファ回路1は、前段からの信号 V_m とその反転信号よりなる差動入力を“H”“L”レベルの入力電圧に調整して次段に出力する。前置駆動回路2は、差動対トランジスタ Tr_{21} 、 Tr_{22} 、電流源トランジスタ Tr_{23} 、負荷トランジスタ Tr_{24} 、 Tr_{25} 、レベル調整用トランジスタ Tr_{28} よりなり、直流動作レベル(中心レベル)と入力振幅を調整して次段の駆動回路3に出力する。

【0015】駆動回路3は、定電流 I_o を流す電流源トランジスタ Tr_{33} と、該電流源トランジスタ Tr_{33} からの電流 I_o を分流する二組の差動対トランジスタ Tr_{31} 、 Tr_{32} および Tr_{34} 、 Tr_{36} とからなる。トランジスタ Tr_{31} 、 Tr_{32} からなる第一の差動対は負荷駆動用の主差動対で共通接続されたソースに定電流源トランジスタ Tr_{33} のドレインが接続され、ゲートに受ける差動入力に応じて I_o を分流しドレインに接続された負荷 R_o に出力電流を流す。 Tr_{34} 、 Tr_{35} からなる第二の差動対は、ゲートに主差動対と同じ入力電圧を受け、ドレインを共通接続して信号入力とは無関係に定電流 I_o の一部を分流してモニタ電流 I_m を流す。

【0016】第二の差動対に流れるモニタ電流 I_m は、電流源トランジスタ Tr_{33} が供給する定電流 I_o の一部が、主差動対トランジスタ Tr_{31} 、 Tr_{32} に対するゲート幅比に対応して分流されるので、抵抗 R_1 には定電流 I_o に比例したモニタ電圧 V_m が発生する。

【0017】4は演算増幅器で、Tr41,Tr42 にかからなる差動対、電流源トランジスタTr43からなる差動増幅回路、差動増幅器の出力を折り返すためのカレントミラー回路Tr44、Tr45、演算増幅器の利得を上げるための能動負荷群Tr46~Tr49からなる。差動対の一方のトランジスタTr41のゲートにモニタ電流 I_m に比例する検出電圧 V_m が、また他方のトランジスタTr42のゲートには参照電圧 V_{ref} が入力し、その差 $e = V_m - V_{ref}$ を増幅して制御電圧 V_c を出力する。この制御電圧 V_c は駆動回路3の電流源トランジスタ33のゲートを制御する。Cpは帰還ループの位相調整用のコンデンサである。

【0018】6は参照電流回路で、定電流源 I_{ref} から参照電圧 V_{ref} を発生させて演算増幅器に供給している。誤差電圧が0になるように電流源トランジスタの出力を制御する。

【0019】動作を説明する。前置駆動回路2からの入力電圧が或る値のとき、抵抗 R_i 、 R_{ref} を適切に定めて、参照電流 I_{ref} に対して所定の出力電流 $I_l (= I_o - I_m)$ が負荷抵抗 R_o に流れているものとする。

【0020】何らかの原因で前置駆動回路からの入力同相電圧のレベルが変化して、電流源トランジスタTr33のドレインソース電圧が減少したとする。するとアーリー効果により定電流 I_o が減少し、一定の分配比で I_o をモニタしているモニタ電流 I_m が同様に減少するので、モニタ回路の負荷抵抗 R_m の電圧降下量が減少し、Tr41のゲートに加わる検出電圧 V_m が参照電圧 V_{ref} より大きくなる。すると、Tr41のドレイン電流が減り、Tr42のドレイン電流が増加する。すると定電流源Tr44の一定吐き出し電流からの分流分が減るので、能動負荷トランジスタTr48に流れる残りの電流は増加し、電流源トランジスタ33のゲートに加わる制御電圧 V_c が増し、電流源電流 I_o が増加する。そして最終的にはモニタ電流 I_m が I_{ref} に等しくなるようにゲート電圧 V_c が制御される。これによって、負荷に流れる電流 I_l は前置駆動回路からの同相入力電圧に無関係に一定となる。

【0021】次に図4により、第二発明の実施例を説明する。本実施例では第一発明の回路に比べて、駆動回路から第二の差動対の除き、代わりにバイアス供給回路7と電流モニタ回路6とを設けたものである。

【0022】バイアス供給回路7は、前置駆動回路2と同一特性の素子で同一回路構成としてその近傍に設け、バイアス電圧 V_B が駆動回路3への"II"レベル入力と同一値になるように(スイッチング回路の場合)、または

同相入力と同一値になるように(線形動作の場合)設定し、温度や電源電圧変動等の外乱によって前置駆動回路2の出力と同じ値だけ変化する。

【0023】そして、このバイアス電圧 V_B をモニタ回路6の制御用トランジスタTr61のゲートに入力する。モニタ回路の電流源トランジスタ62のゲートには、駆動回路の電流源トランジスタ33と同一の制御電圧 V_c を印加する。抵抗 R_m はモニタ回路の負荷である。このように構成すると、定電流源トランジスタ33のドレイン電圧と、モニタ回路の電流源トランジスタ62のドレイン電位は常に等しく、負荷駆動用の差動対トランジスタTr31,Tr32のソース電位が前置駆動回路からの同相入力または"II"レベル入力の変動によって変化すると、モニタ用トランジスタTr61のソース電位も同じ量だけ変化する。そしてこの二つの電流源トランジスタTr23,Tr62は同一制御電圧 V_c でゲートを制御されるので、モニタ回路に流れる電流 I_m は負荷に供給される電流 I_o に正確に比例し、 I_o に対するモニタ電流 I_m となる。

【0024】そこで、 I_m の大きさを負荷トランジスタTr63から取出し、この値が参照電圧 V_{ref} と常に等しくなるように演算増幅器4を介した負帰還ループで制御することにより、同じ制御電圧 V_c で制御される駆動電流 I_o も一定となる。

【0025】以上の如く、CMOS駆動回路の出力電流の一部をモニタして、そのモニタ電流を安定させるように負帰還ループで制御するので、温度や電源変動に対して負荷駆動電流を一定に保つことができる。

【0026】

【発明の効果】以上説明した如く、本発明によれば、CMOSトランジスタの差動対の用いた低インピーダンス負荷駆動回路の出力電流を電源変動や温度変化に対して安定に保つことが可能となる効果がある。

【図面の簡単な説明】

【図1】 本発明のCMOS駆動回路の原理図

【図2】 第一発明の実施例の回路図

【図3】 第二発明の実施例の回路図

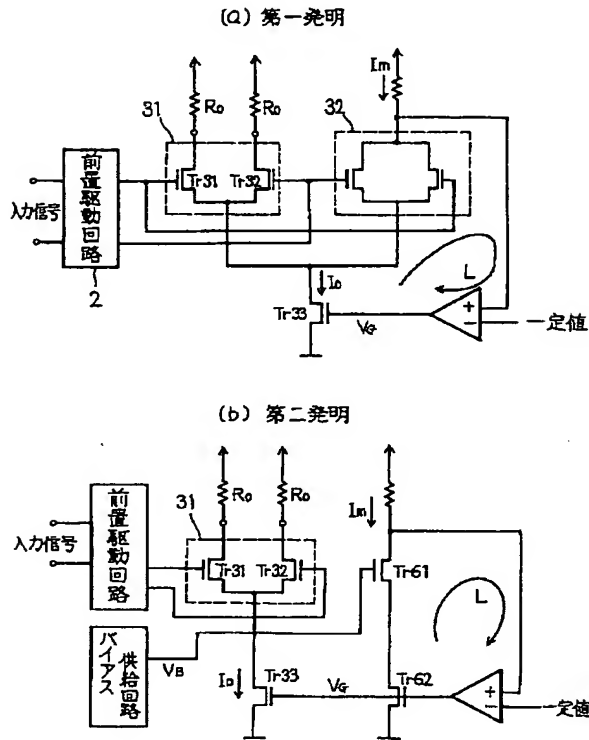
【図4】 従来のCMOS駆動回路の回路図

【符号の説明】

1…入力バッファ回路、2…前置駆動回路、3…駆動回路、31…第一の差動対、32…第二の差動対、4…演算増幅器、5…参照電流回路、6…モニタ回路、7…バイアス供給回路、L…負帰還ループ

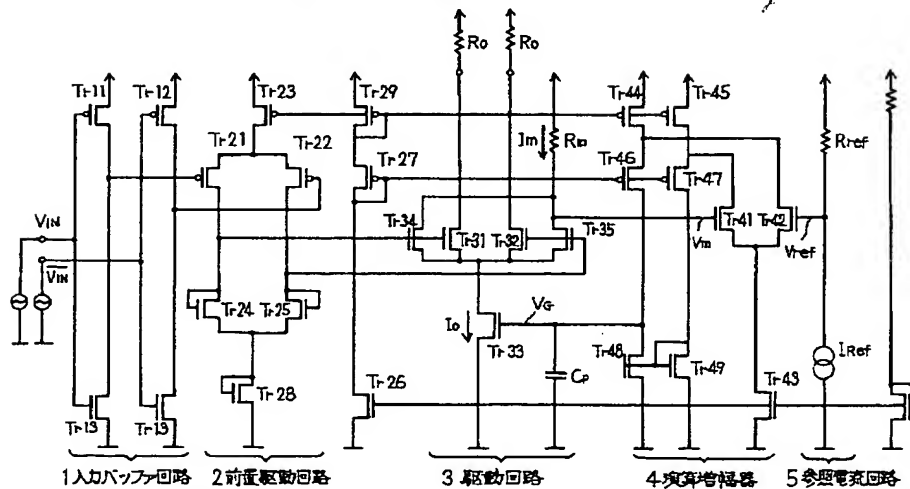
【図1】

本発明のCMOS駆動回路の原理図



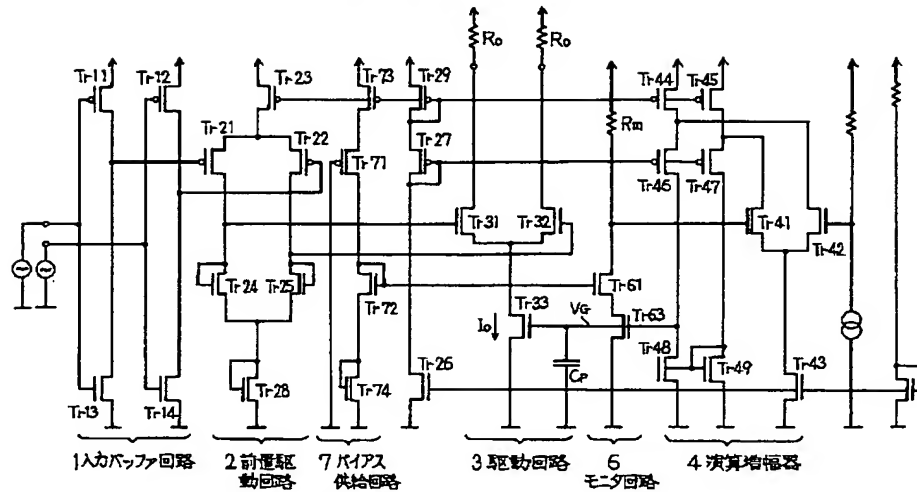
【図2】

第一発明の実施例の回路図



【図3】

第二発明の実施例の回路図



【図4】

従来のCMOS駆動回路の回路図

